

Docket No. 216648US2/sbj



2812
65.
6-14-2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroyoshi TANIMOTO, et al.

GAU: 2812

SERIAL NO: 10/001,977

EXAMINER:

FILED: December 5, 2001

FOR: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, AND SYSTEM FOR EVALUATING ELECTRICAL CHARACTERISTICS OF SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☒ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

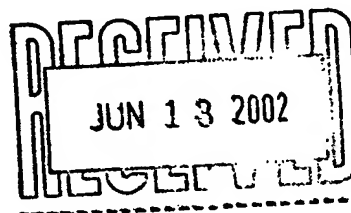
JAPAN

2001-313939

October 11, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee



RECEIVED
APR 5 2002
TECHNOLOGY CENTER 2800

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Surinder Sachar

Marvin J. Spivak

Registration No. 24,913

Surinder Sachar
Registration No. 34,423



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

10/001,977



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年10月11日

出 願 番 号

Application Number:

特願2001-313939

出 願 人

Applicant(s):

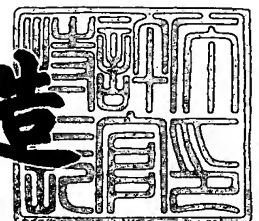
株式会社東芝

RECEIVED
APR 15 2002
TECHNOLOGY CENTER 2800

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3103504

【書類名】 特許願

【整理番号】 46B016112

【提出日】 平成13年10月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66
H01L 27/00

【発明の名称】 半導体装置、半導体装置の製造方法及び半導体装置の電気特性評価システム

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 谷本 弘吉

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 遠田 利之

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置の製造方法及び半導体装置の電気特性評価システム

【特許請求の範囲】

【請求項 1】 半導体活性領域に半導体素子を形成し、この半導体素子において発生するインパクトイオン化による電子正孔対生成率を算出する工程と、

少なくとも前記インパクトイオン化が発生する領域において、前記電子正孔対生成率の体積分値を算出する工程と、

少なくとも前記体積分値に基づき、前記半導体素子の電気的特性の経時変化を評価する工程と、

前記評価結果に基づき、半導体装置を製造する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 前記電子正孔対生成率を算出する工程は、少なくとも表面に絶縁層を有する基板の前記絶縁層上の前記半導体活性領域に形成された絶縁ゲート型電界効果トランジスタにおいて発生する電子正孔対生成率を算出する工程であり、

前記半導体素子の電気的特性の経時変化を評価する工程は、前記絶縁ゲート型電界効果トランジスタの電気的特性の経時変化を評価する工程であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記電子正孔対生成率を算出する工程は、電気的にフローティング状態にある半導体活性領域に形成された絶縁ゲート型電界効果トランジスタにおいて発生する電子正孔対生成率を算出する工程であり、

前記半導体素子の電気的特性の経時変化を評価する工程は、前記絶縁ゲート型電界効果トランジスタの電気的特性の経時変化を評価する工程であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記電子正孔対生成率を算出する工程は、ウェル電極又はボディ電極を持たない半導体活性領域に形成された絶縁ゲート型電界効果トランジスタにおいて発生する電子正孔対生成率を算出する工程であり、

前記半導体素子の電気的特性の経時変化を評価する工程は、前記絶縁ゲート型

電界効果トランジスタの電気的特性の経時変化を評価する工程であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記半導体素子の電気的特性の経時変化を評価する工程は、次式により求められるしきい値電圧の変化量 ΔV_{th} に基づき、絶縁ゲート型電界効果トランジスタのしきい値電圧の経時変化を評価する工程であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【数 1】

$$\Delta V_{th} = A \left(\frac{I_{subQ}}{I_d} \right)^{\alpha} I_d^{\beta}$$

I_{subQ} : 半導体活性領域の擬似的な電流

I_d : ドレイン電流

A 、 α 、 β : モデルパラメータ

【請求項 6】 前記半導体素子の電気的特性の経時変化を評価する工程は、ストレス条件とこのストレス条件において所定時間経過後のしきい値電圧の変化量との関係を示すデータを作成し、絶縁ゲート型電界効果トランジスタのしきい値電圧の経時変化を前記データに基づき評価する工程であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記半導体素子の電気的特性の経時変化を評価する工程は、所定電流値としきい値電圧の変化量との関係を少なくとも示す、経験的に求められたデータ、又は実測値に基づき作成されたデータを使用し、前記絶縁ゲート型電界効果トランジスタのしきい値電圧の経時変化を評価する工程であることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記半導体素子の電気的特性の経時変化を評価する工程は、動作温度中のストレス条件とこのストレス条件において所定時間経過後のしきい値電圧の変化量との関係を示すデータを作成し、絶縁ゲート型電界効果トランジスタの動作中のしきい値電圧の経時変化を前記データに基づき評価する工程であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 9】 半導体活性領域に半導体素子を形成し、この半導体素子にお

いて発生するインパクトイオン化による電子正孔対生成率を算出する工程と、

少なくとも前記インパクトイオン化が発生する領域において、前記電子正孔対生成率の体積分値を算出する工程と、

前記体積分値を含む物理量の時間積分値を算出する工程と、

少なくとも前記時間積分値に基づき、前記半導体素子の電気的特性の経時変化を評価する工程と、

前記評価結果に基づき、半導体装置を製造する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項 1 0】 少なくとも表面に絶縁層を有する基板の前記絶縁層上の第 1 の半導体活性領域にボディコンタクト電極を備えた第 1 の絶縁ゲート型電界効果トランジスタを形成し、前記第 1 の半導体活性領域の少なくともボディ電流値を測定し、前記ボディ電流値を少なくとも備えたデータを作成する工程と、

前記絶縁層上の第 2 の半導体活性領域にボディコンタクト電極を備えない第 2 の絶縁ゲート型電界効果トランジスタを形成し、この第 2 の絶縁ゲート型電界効果トランジスタにおいて発生するインパクトイオン化による電子正孔対生成率を算出する工程と、

少なくとも前記インパクトイオン化が発生する領域において、前記電子正孔対生成率の体積分値を算出する工程と、

前記体積分値及び前記データの少なくともボディ電流値に基づき、前記第 2 の絶縁ゲート型電界効果トランジスタの電気的特性の経時変化量を算出する工程と

前記電気的特性の経時変化量の算出結果に基づき、半導体装置を製造する工程と

を少なくとも備えたことを特徴とする半導体装置の製造方法。

【請求項 1 1】 半導体活性領域に半導体素子を形成する初期設計を行う工程と、

前記半導体素子において発生するインパクトイオン化による電子正孔対生成率を算出する工程と、

少なくとも前記インパクトイオン化が発生する領域において、前記電子正孔対

生成率の体積分値を算出する工程と、

少なくとも前記体積分値に基づき、前記半導体素子の電気的特性の経時変化を評価する工程と、

前記評価結果に基づき、前記半導体素子の再設計を行う工程と

を少なくとも備えたことを特徴とする半導体装置の製造方法。

【請求項 1 2】 半導体活性領域に半導体素子を形成し、この半導体素子において発生するインパクトイオン化による電子正孔対生成率を算出する工程と、

少なくとも前記インパクトイオン化が発生する領域において、前記電子正孔対生成率の体積分値を算出する工程と、

少なくとも前記体積分値に基づき、前記半導体素子のストレス印加後の物理モデル量を算出する工程と、

前記算出された物理モデル量に基づき、前記半導体素子のストレス印加後の電気的特性の経時変化を評価する工程と、

前記評価結果に基づき、半導体装置を製造する工程と

を少なくとも備えたことを特徴とする半導体装置の製造方法。

【請求項 1 3】 前記半導体素子の物理モデル量を算出する工程は、絶縁ゲート型電界効果トランジスタのゲート絶縁膜界面における半導体活性領域の界面準位濃度、ゲート絶縁膜中に捕獲された電荷濃度、チャネルキャリア移動度の少なくとも 1 つの物理モデル量を算出する工程であることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 少なくとも表面に絶縁層を有する基板と、

前記基板の絶縁層上の第 1 の半導体活性領域と、

前記第 1 の半導体活性領域に形成され、ボディコンタクト電極を備えたボディ電流検出用の第 1 の絶縁ゲート型電界効果トランジスタと、

前記基板の絶縁層上の第 2 の半導体活性領域と、

前記第 2 の半導体活性領域に形成され、ボディコンタクト電極を備えない第 2 の絶縁ゲート型電界効果トランジスタと

を備えたことを特徴とする半導体装置。

【請求項 1 5】 半導体素子の物理モデル量の情報を入力する情報入力ユニ

ットと、

前記入力された情報に基づき前記半導体素子において発生するインパクトイオン化による電子正孔対生成率を算出し、少なくとも前記インパクトイオン化が発生する領域において前記電子正孔対生成率の体積分値を算出し、少なくとも前記体積分値に基づき前記半導体素子の電気的特性の経時変化を算出する情報処理ユニットと、

前記算出された電気的特性の経時変化の情報を出力する情報出力ユニットとを少なくとも備えたことを特徴とする半導体装置の電気特性評価システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、半導体装置の製造方法及び半導体装置の電気特性評価システムに関する。特に、本発明は、半導体素子の電気的特性の経時変化の評価に好適な半導体装置、このような評価を実現するための半導体装置の製造方法及び半導体装置の電気特性評価システムに関する。

【0002】

【従来の技術】

シリコン素子に代表されるMOSFET(metal oxide semiconductor field effect transistor)を備えた半導体装置においては、使用時間の経過とともに、電気的な特性に変化を生じることが周知である。一般的には、使用時間の経過とともに、半導体装置の電気的な特性が劣化する。半導体装置には、通常使用状態において、10年或いは20年といった長寿命が要求されている。すなわち、長期間使用し続け、半導体装置の電気特性がたとえ劣化したとしても、劣化後の電気特性が製品仕様の範囲内であることが要求されている。

【0003】

MOSFETの電気特性劣化は、基板電流の観測により予測できることが経験的に知られている。例えば、C. Hu等の「Hot-Electron-Induced MOSFET Degradation - Model, Monitor, and Improvement」(IEEE Transactions on Electron Devices, Vol. ED-32, 1985年)参照。電気特性劣化と基板電流との間に密接な

関係があるという経験的な事実は、次のように説明されている。すなわち、電界によりエネルギーを得た半導体基板中のキャリアのうち、非常にエネルギーの高いキャリア（一般にはホットキャリア（熱い電荷）と呼ばれている。）がゲート絶縁膜等に損傷を与え、ゲート絶縁膜界面に準位を形成したり、ゲート絶縁膜中に電荷が捕獲され、半導体素子の電気特性劣化が生じる。

【 0 0 0 4 】

一方、半導体基板中で高エネルギーとなったキャリアはインパクトイオン（衝突電離）化と呼ばれる現象を生じる。この際に発生した電子正孔対のうち、チャネルを構成する電荷とは逆符号の電荷（例えば、チャネルを構成する電荷が電子である n チャネル導電型 MOSFET の場合には正孔である。）は、半導体基板中を基板電流として流れる。この基板電流は基板電極により容易に観測することができる。つまり、MOSFET において、電気特性劣化と基板電流とは、共にキャリアが高エネルギーであることによって生じるものである。このような理由から、MOSFET の電気特性劣化と基板電流との間には相関があることが予測され、観測結果が示す事実として経験的ではあるが電気特性劣化と基板電流との間に関係式が存在する。従って、基板電流値を測定することにより、MOSFET の電気特性劣化を予測することが可能である。

【 0 0 0 5 】

ここで、一般的には、初期の電気的特性が劣る半導体素子の方が電気的特性劣化は顕著でなく、逆に初期の電気的特性が優れた半導体素子の方が電気的特性劣化は顕著である。初期の電気的特性の優れた半導体素子、つまり電流値が高い半導体素子は、キャリアのエネルギー状態が高くなるために、電気的特性劣化を著しく起こし易い。すなわち、一般的には、初期の電気的特性と電気的特性の劣化耐性とは相反するものである。初期の電気的特性に優れた半導体装置を製造することは当然であるが、劣化耐性との兼ね合いに留意する必要がある。つまり、初期の電気的特性に優れた半導体装置を製造するためには、電気的特性劣化は半導体装置の寿命に関する仕様にできる限り近づけることが望ましい。むやみに寿命が長すぎることは、初期の電気的特性を犠牲にしていることを意味する。

【 0 0 0 6 】

以上説明したように、電気的特性劣化の評価を精度良く行うことは、半導体装置の製造上、非常に重要である。半導体装置の電気的特性劣化は、半導体素子に直流ストレスを印加した場合の劣化量に基づき評価されている。例えば、電子回路の10年後の電気的特性劣化は、以下のような方法を用いて評価されている。電子回路を構築する半導体素子には、本来、動的で時間的に変化するストレスが印加されている。従って、例えば10年間の直流ストレス全体の半分の半導体素子に加わるであろうと近似し（duty factorという考え方。）、10年後に直流ストレスを5年間印加した状態まで半導体素子の電気的特性劣化が生じるものと仮定して、半導体素子の電気的特性劣化の評価が行われている。このような評価方法は、本来、動的なストレスが半導体素子に印加されているにも拘わらず、直流ストレスによる電気的特性の劣化量を用いて評価しているので、精度の高い評価方法とは言い難い。

【0007】

これに対して、米国バークリー大学において開発されたBERT解析ツール(Berkeley Reliability Tool)は、回路シミュレーション技術を用いることにより、半導体装置において高い精度の電気的特性劣化の評価を可能にしている。BERT解析ツールを用いた半導体装置の電気的特性劣化の評価方法は、以下の通りである。

【0008】

まず、電気的特性劣化のない状態において動的な回路シミュレーションを行い、回路を構成する半導体素子の動的状態の基板電流等を時間の関数として計算する。例えば、以下に示すような、計算された基板電流 $I_{sub}(t)$ を含む物理量の時間積分値と、経験的に求められた基板電流と電気的特性劣化との関係式とに基づき、与えられた時刻後の半導体素子の電気的特性劣化の予測を行う。

【0009】

【数2】

$$\left(\frac{I_{sub}(t)}{I_d(t)} \right)^{\alpha} I_d(t)^{\beta}$$

I_d : ドレイン電流

α , β : モデルパラメータ

そして、以上の手順によって得られた半導体素子の劣化後の電気的特性に基づき、劣化後の回路の電気的特性の評価を行う。

【0010】

このような手順により行われるBERT解析ツールを用いた半導体装置の電気的特性劣化の評価方法においては、半導体素子の動的なストレス状態を考慮した電気的特性劣化の評価が可能である。すなわち、前述の直流ストレスを用いた評価方法に比べて、半導体装置の電気的特性劣化を高い精度において評価することができる。

【0011】

【発明が解決しようとする課題】

しかしながら、前述の半導体装置の電気的特性劣化の評価方法においては、以下の点について配慮がなされていなかった。

【0012】

(1) 前述の回路シミュレーションにおいては、動作中の回路を構築する半導体素子が非平衡状態である影響を精度良く考慮することができない。例えば、チャネル長が短く、キャリアの平均自由行程と比較して十分な長さを持っていない半導体素子、素子内部の電界が非常に急峻に変化する半導体素子、電界が時間とともに急峻に変化するような電圧印加状態にある半導体素子等においては、素子内部のキャリアのエネルギーは非平衡状態にあることが知られている。このような半導体素子の動的な電気的特性の評価を回路シミュレーションにより正確に扱うことはできず、また基板電流の計算精度は正確ではない。従って、半導体素子の電気的特性劣化の評価を正確に行うことができない。

【0013】

(2) シリコン多結晶を半導体活性領域として使用し、この半導体活性領域に半導体素子を形成する半導体装置においては、半導体活性領域中のキャリアの寿命(ライフタイム)が短い。すなわち、半導体活性領域中において電子正孔対の再結合が激しく行われ、インパクトイオン化によって生成された電子正孔対のうち大半が再結合により消滅し、一部分だけが基板電流として観測される。このよう

な半導体素子においては、もはや基板電流は半導体活性領域中のキャリアの高エネルギー状態を表す指標とはなり得ないので、通常の基板電流と電気的特性劣化との間の相関は成り立たない。従って、回路シミュレーションを行って基板電流に基づく半導体装置の電気的特性劣化を評価しても、正確な評価を行うことができない。

【 0 0 1 4 】

(3) シリコン基板上にシリコン酸化膜を介在させたシリコン単結晶の半導体活性領域に半導体素子を形成するSOI (silicon on insulator) 構造の半導体装置においては、素子毎に半導体活性領域が絶縁分離されており、基板電極も存在しないので、通常の意味での基板電流そのものが存在しない。従って、回路シミュレーションを行っても基板電流が計算できないので、電気的特性劣化の評価を行うことができない。

【 0 0 1 5 】

本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、半導体素子の動的な電気的特性劣化の経時変化を高い精度により正確に評価することができる半導体装置の製造方法を提供することである。

【 0 0 1 6 】

さらに、本発明の目的は、基板電流が半導体活性領域中のキャリアの高エネルギー状態の指標とならない場合、基板電極を備えてない場合等においても、半導体素子の動的な電気的特性劣化の経時変化を高い精度により正確に評価することができる半導体装置の製造方法を提供することである。

【 0 0 1 7 】

さらに、本発明の目的は、上記目的を達成し、製造上の歩留まりを向上することができる半導体装置の製造方法を提供することである。

【 0 0 1 8 】

さらに、本発明の目的は、半導体素子の動的な電気的特性劣化の経時変化を高い精度により正確に評価することができる半導体装置又は電気特性評価システムを提供することである。

【 0 0 1 9 】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の特徴は、半導体活性領域に半導体素子を形成し、この半導体素子において発生するインパクトイオン化による電子正孔対生成率を算出する工程と、少なくともインパクトイオン化が発生する領域において、電子正孔対生成率の体積分値を算出する工程と、少なくとも体積分値に基づき、半導体素子の電気的特性の経時変化を評価する工程と、この評価結果に基づき、半導体装置を製造する工程とを備えた半導体装置の製造方法としたことである。

【0020】

このように構成される本発明の第1の特徴に係る半導体装置の製造方法においては、インパクトイオン化による電子正孔対生成率を算出した後、この電子正孔対生成率の体積分値を算出することにより、半導体活性領域に流れる、基板電流に相当する擬似的な電流値を求めることができる。すなわち、半導体活性領域に流れる電流値を直接検出することができない場合においても、擬似的な電流値に基づき、半導体素子の電気的特性の経時変化を高い精度により評価することができる。そして、このような評価結果を半導体装置の製造プロセスに反映させることにより、半導体素子の電気的特性の経時変化に優れた半導体装置を製造することができ、半導体装置の製造上の歩留まりを向上することができる。

【0021】

本発明の第2の特徴は、半導体活性領域に半導体素子を形成し、この半導体素子において発生するインパクトイオン化による電子正孔対生成率を算出する工程と、少なくともインパクトイオン化が発生する領域において、電子正孔対生成率の体積分値を算出する工程と、体積分値を含む物理量の時間積分値を算出する工程と、少なくとも時間積分値に基づき、半導体素子の電気的特性の経時変化を評価する工程と、この評価結果に基づき、半導体装置を製造する工程とを備えた半導体装置の製造方法としたことである。

【0022】

このように構成される本発明の第2の特徴に係る半導体装置の製造方法においては、本発明の第1の特徴に係る半導体装置の製造方法の体積分値を含む物理量

の時間積分値を算出することにより、半導体素子の動的なストレスを考慮した電気的特性の経時変化を高い精度により評価することができる。

【 0 0 2 3 】

本発明の第 3 の特徴は、少なくとも表面に絶縁層を有する基板の絶縁層上の第 1 の半導体活性領域にボディコンタクト電極を備えた第 1 の絶縁ゲート型電界効果トランジスタ（以下、単に IGFET (insulated gate field effect transistor) という。）を形成し、第 1 の半導体活性領域の少なくともボディ電流値を測定し、このボディ電流値を備えたデータを作成する工程と、絶縁層上の第 2 の半導体活性領域にボディコンタクト電極を備えない第 2 の IGFET を形成し、この第 2 の IGFET において発生するインパクトイオン化による電子正孔対生成率を算出する工程と、少なくともインパクトイオン化が発生する領域において電子正孔対生成率の体積分値を算出する工程と、体積分値及びデータの少なくともボディ電流値に基づき第 2 の IGFET の電気的特性の経時変化量を算出する工程と、電気的特性の経時変化量の算出結果に基づき、半導体装置を製造する工程とを少なくとも備えた半導体装置の製造方法としたことである。

【 0 0 2 4 】

このように構成される本発明の第 3 の特徴に係る半導体装置の製造方法においては、ボディコンタクト電極を備えた第 1 の IGFET により作成されたデータの少なくともボディ電流値を利用し、ボディコンタクト電極を備えていない第 2 の IGFET の電気的特性の経時変化量を容易に算出することができる。

【 0 0 2 5 】

本発明の第 4 の特徴は、半導体活性領域に半導体素子を形成する初期設計を行う工程と、半導体素子において発生するインパクトイオン化による電子正孔対生成率を算出する工程と、少なくともインパクトイオン化が発生する領域において、電子正孔対生成率の体積分値を算出する工程と、少なくとも体積分値に基づき、半導体素子の電気的特性の経時変化を評価する工程と、半導体素子の電気的特性の経時変化の評価結果に基づき、半導体素子を再設計する工程とを少なくとも備えた半導体装置の製造方法としたことである。

【 0 0 2 6 】

このように構成される本発明の第4の特徴に係る半導体装置の製造方法においては、半導体素子の初期設計後に、本発明の第1の特徴に係る半導体装置の製造方法による半導体素子の電気的特性の経時変化を評価し、この評価結果に基づき、半導体素子の再設計を行うようにしたので、初期設計の段階において製品仕様限界に近い電気的特性の経時変化に優れた半導体装置を設計し、かつ製造することができる。

【0027】

本発明の第5の特徴は、半導体活性領域に半導体素子を形成し、この半導体素子において発生するインパクトイオン化による電子正孔対生成率を算出する工程と、少なくともインパクトイオン化が発生する領域において、電子正孔対生成率の体積分値を算出する工程と、少なくとも体積分値に基づき、半導体素子のストレス印加後の物理モデル量を算出する工程と、算出された物理モデル量に基づき、半導体素子のストレス印加後の電気的特性の経時変化を評価する工程と、この評価結果に基づき、半導体装置を製造する工程とを少なくとも備えた半導体装置の製造方法としたことである。

【0028】

このように構成される本発明の第5の特徴に係る半導体装置の製造方法においては、半導体素子の電気的特性の経時変化と物理モデル量との間の相関を高い精度により再現可能とし、高い精度のデバイスシミュレーションを実現することができるようにしたので、初期設計の段階において製品仕様限界に近い電気的特性の経時変化に優れた半導体装置を設計し、かつ製造することができる。

【0029】

本発明の第6の特徴は、少なくとも表面に絶縁層を有する基板と、基板の絶縁層上の第1の半導体活性領域と、第1の半導体活性領域に形成され、ボディコンタクト電極を備えたボディ電流検出用の第1のIGFETと、基板の絶縁層上の第2の半導体活性領域と、第2の半導体活性領域に形成され、ボディコンタクト電極を備えない第2のIGFETとを備えた半導体装置としたことである。

【0030】

このように構成される本発明の第6の特徴に係る半導体装置においては、本発

明の第3の特徴に係る半導体装置の製造方法を実現することができ、第2のIGFETの電気的特性の経時変化量を容易に算出することができる。そして、この算出結果に基づき、第2のIGFETを設計することができるので、初期設計の段階において製品仕様限界に近い電気的特性の経時変化に優れた半導体装置を実現することができる。

【0031】

本発明の第7の特徴は、半導体素子の物理モデル量の情報を入力する情報入力ユニットと、入力された情報に基づき半導体素子において発生するインパクトイオン化による電子正孔対生成率を算出し、少なくともインパクトイオン化が発生する領域において電子正孔対生成率の体積分値を算出し、少なくとも体積分値に基づき半導体素子の電気的特性の経時変化を算出する情報処理ユニットと、算出された電気的特性の経時変化の情報を出力する情報出力ユニットとを少なくとも備えた半導体装置の電気特性評価システムとしたことである。

【0032】

このように構成される本発明の第7の特徴に係る半導体装置の電気的特性評価システムにおいては、本発明の第1の特徴乃至第5の特徴に係る半導体装置の製造方法を実現することができる。

【0033】

【発明の実施の形態】

次に、図面を参照して、本発明に係る半導体装置、半導体装置の製造方法及び半導体装置の電気的特性評価システムを、本発明の実施の形態により説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。

【0034】

(第1の実施の形態)

本発明の第1の実施の形態は、SOI構造を採用する半導体装置、半導体装置の製造方法及び半導体装置の電気的特性評価システムを説明するものである。

【0035】

[S0I構造の半導体装置の基本構造]

本発明の第1の実施の形態に係るS0I構造を採用する半導体装置は、図1及び図2に示すように、少なくとも表面に絶縁層11を有する基板1と、この基板1の絶縁層11上の半導体活性領域2と、この半導体活性領域2に形成された半導体素子20とを少なくとも備えて構築されている。

【0036】

基板1は、本発明の第1の実施の形態において、p型シリコン単結晶からなる支持基板10と、この支持基板10上（図1中、上側表面上）の絶縁層11とを備えて構成されている。支持基板10の裏面（図1中、下側表面上）には、支持基板10を所定電位、例えば回路の接地電位、0Vに固定するための支持基板電極12が配設されている。絶縁層11には、例えば、熱酸化法、CVD法、スパッタリング法、SIMOX(separation by implantation of oxygen)法等により成膜したシリコン酸化膜を実用的に使用することができる。ここで、SIMOX法とは、支持基板10の表面近傍のバルク中に高エネルギーのイオン注入法により酸素原子を注入し、この酸素原子と支持基板10のシリコンとを反応させてシリコン酸化膜を形成する方法である。

【0037】

半導体活性領域2は、底面を絶縁層11により、側面周囲を素子間分離領域3により囲まれ、別の半導体活性領域2、支持基板10等の他の領域に対して電気的に分離されている。半導体活性領域2とは、半導体素子20の動作領域を形成するための領域という意味で使用される。本発明の第1の実施の形態において、半導体活性領域2には、シリコン単結晶を実用的に使用することができる。なお、本発明において、半導体活性領域2には、シリコン単結晶の他に、シリコン多結晶及びシリコン非晶質が少なくとも含まれる。

【0038】

素子間分離領域3には、例えば熱酸化法により成膜したシリコン酸化膜を実用的に使用することができる。また、素子間分離領域3は、トレンチを形成し、このトレンチ内部にシリコン酸化膜等の絶縁体を埋設することにより形成してもよい。

【 0 0 3 9 】

半導体素子 2 0 には、本発明の第 1 の実施の形態において、n チャネル導電型の IGFET が使用されている。ここで、IGFET とは、MOSFET、MISFET (metal insulator semiconductor field effect transistor)、TFT (thin film transistor) 等を少なくとも含む意味において使用されている。また、IGFET は、p チャネル導電型であってもよいし、さらに n チャネル導電型と p チャネル導電型とを併せ持った相補型であってもよい。

【 0 0 4 0 】

すなわち、本発明の第 1 の実施の形態に係る半導体素子 2 0 は、ボディ領域として使用される半導体活性領域 2 と、半導体活性領域 2 上の絶縁膜（ゲート絶縁膜）4 と、絶縁膜 4 上の制御電極（ゲート電極）5 と、半導体活性領域 2 に配設されたソース領域又はドレイン領域として使用される第 1 の主電極 6 A と、半導体活性領域 2 に配設されたドレイン領域又はソース領域として使用される第 2 の主電極 6 B とを備えて構成されている。

【 0 0 4 1 】

絶縁膜 4 には、シリコン酸化膜、シリコン窒化膜、オキシナイトライド膜等の単層膜、又はそれらを組み合わせた複合膜を実用的に使用することができる。制御電極 5 には、シリコン多結晶膜、シリサイド膜、高融点金属膜の単層膜、又はシリコン多結晶膜上にシリサイド膜を積層した複合膜或いはシリコン多結晶膜上に高融点金属膜を積層した複合膜等を実用的に使用することができる。第 1 の主電極 6 A 及び第 2 の主電極 6 B には、例えば LDD (lightly doped drain) 構造を実用的に使用することができる。

【 0 0 4 2 】

さらに、半導体素子 2 0 の第 1 の主電極 6 A 上には、例えばアルミニウム合金膜、銅膜、高融点金属膜等により形成された第 1 の主電極端子 7 A が電氣的に接続されている。同様に、第 2 の主電極 6 B には、第 2 の主電極端子 7 B が電氣的に接続されている。

【 0 0 4 3 】

[半導体装置の製造方法]

次に、半導体装置の製造プロセスの初期設計段階に実施する、半導体装置の電気的特性劣化の経時変化の評価方法を備えた半導体装置の製造方法を、図3を用いて説明する。なお、ここでは、半導体素子20としてnチャネル導電型IGFETを使用し、このIGFETの電気的特性劣化の経時変化の評価方法を説明する。

【0044】

(1) まず最初に、プロセスシミュレーションを行う(100)。このプロセスシミュレーションにおいては、イオン注入工程、熱酸化工程、堆積工程等の半導体製造工程(製造工程の種類)の情報と、ドーズ量、熱酸化温度、堆積条件等の製造条件と、マスク形状等のマスク情報とを少なくとも含む情報が入力され、絶縁膜等の形状の情報、不純物密度分布の情報等が算出される。具体的には、半導体素子20すなわちnチャネル導電型IGFETの絶縁膜4(例えば、シリコン酸化膜)の膜厚等の形状、半導体活性領域2の不純物密度分布等の情報が算出される。

【0045】

(2) デバイスシミュレーションを行う(101)。デバイスシミュレーションにおいては、ストレス電圧、ストレス時間等のストレス条件が入力され、このストレス条件下に基づき半導体活性領域2中において発生するインパクトイオン化による電子正孔対生成率 G_{II} を少なくとも含む、IGFETの電気的特性が算出される。なお、このデバイスシミュレーションにおいては、予め入力された不純物密度分布、ストレス条件等の情報に基づき、nチャネル導電型IGFETの電位分布、キャリア密度分布、ドレイン電流値等の情報が数値として算出される。

【0046】

(3) 半導体活性領域2の少なくともインパクトイオン化が発生する領域において、電子正孔対生成率 G_{II} の体積分値が算出される(102)。ここで、少なくともインパクトイオン化が発生する領域とは、最低限、インパクトイオン化が発生する領域という意味で使用される。電子正孔対生成率 G_{II} の体積分値を算出する、実用的な最小の領域は、インパクトイオン化による電子正孔対生成率のピーク値の100分の1の領域である。一方、電子正孔対生成率 G_{II} の体積分値を算出する、実用的な最大の領域は、ボディ領域、第1の主電極6A及び第2の主電

極 6 B を含む半導体活性領域 2 の実質的に全体の領域である。

【 0 0 4 7 】

(4) 電子正孔対生成率 G_{II} の体積分値が算出されると、次式 < 1 > に示すように体積分値と素電荷 q との積を算出し、シリコンバルク中の基板電流に相当する、半導体活性領域 2 に流れる擬似的な電流 (ボディ電流) I_{subQ} が算出される (1 0 3) 。

【 0 0 4 8 】

【数 3】

$$I_{subQ} = q \int_V G_{II} dv \quad \text{---} \quad < 1 >$$

(5) 算出された擬似的な電流 I_{subQ} と、通常のシリコン基板 (バルク) に形成される半導体素子の基板電流と電気的特性劣化との間に成立する経験的な関係式とに基づき、IGFET の電気的特性劣化の経時変化の評価を行う (1 0 4) 。この IGFET の電気的特性劣化の経時変化の評価は、次式 < 2 > で表される、電気的特性劣化によるしきい値電圧の変動量 ΔV_{th} により行うことができる。

【 0 0 4 9 】

【数 4】

$$\Delta V_{th} = A \left(\frac{I_{subQ}}{I_d} \right)^\alpha I_d^\beta \quad \text{---} \quad < 2 >$$

I_d : ドレイン電流

A : モデルパラメータ

α : モデルパラメータ

β : モデルパラメータ (例えば、 $\beta \cong 1.4$)

例えば、経験的な関係式により求められた 10 年後のしきい値電圧の変動量が 50 mV である場合、10 年に相当するストレス印加後に上記式 < 1 > 及び式 < 2 > により算出された IGFET のしきい値電圧 V_{th} の変動量 ΔV_{th} が 50 mV を越える場合には、初期設計の段階において製品仕様限界を越えた数値であると評価することができる。逆に、変動量 ΔV_{th} が 50 mV 以内である場合には、初期設

計の段階において製品仕様限界の範囲内の数値であると評価することができる。ここでは、IGFETのしきい値電圧の変動量 ΔV_{th} を電気的特性劣化の経時変化のパラメータとして説明しているが、例えばIGFETの駆動電流の変化量を電気的特性劣化の経時変化のパラメータとして併用することが、又は別途独立に使用することができる。IGFETの駆動電流の変化量としては例えば5%が製品仕様限界の臨界数値になる。

【 0 0 5 0 】

(6) この後、IGFETの電気的特性劣化の経時変化の評価に基づき、半導体装置の製造を実際に行う。

【 0 0 5 1 】

[半導体素子の電気的特性劣化の評価]

このような本発明の第1の実施の形態に係る半導体装置の製造方法においては、以下の理由により、半導体素子20すなわちnチャネル導電型IGFETの電気的特性劣化の経時変化の評価を行うことができる。

【 0 0 5 2 】

通常のシリコン基板に形成された半導体素子例えばMOSFET（バルク素子）の動作中においては、シリコン基板中（シリコン活性領域中）、キャリアは電界からエネルギーを得て、一部の高エネルギーのキャリアはインパクトイオン化現象を起こし、電子正孔対が生成される。通常のシリコン基板は基板電極を備え、例えばp型シリコン基板は基板電極により回路の接地電位例えば0Vに印加されている。インパクトイオン化により生成された電子正孔対のうち、チャネルを構成する電荷とは逆符号の電荷、すなわちnチャネル導電型MOSFETの場合は正孔（ホール）の大部分が、シリコン基板中で再結合することなく基板電極まで達し、基板電流として観測される。

【 0 0 5 3 】

これに対して、本発明の第1の実施の形態に係るSOI構造を採用する半導体装置は、半導体素子（nチャネル導電型IGFET）20の動作中において、半導体活性領域2中、同様にキャリアは電界からエネルギーを得て、一部の高エネルギーのキャリアはインパクトイオン化現象を起こし、電子正孔対が生成されるものの、基

板電極に相当する、半導体活性領域 2 の電位を印加する電極が存在しないので、基板電流に相当するボディ電流を観測することができない。

【 0 0 5 4 】

ここで、本発明の第 1 の実施の形態に係る半導体装置の製造方法によれば、まずデバイスシミュレーション (1 0 0) により、半導体活性領域 2 中の、インパクトイオン化による電子正孔対生成率 G_{II} を算出することができる。上記のように、通常のシリコン基板に形成された MOSFET の動作中は、インパクトイオン化により生成された電子正孔対のうちチャネルを構成する電荷とは逆符号の電荷 (正孔) の大半が基板電流として観測されるのであるから、IGFET の動作中の半導体活性領域 2 において電子正孔対生成率 G_{II} の体積分値と素電荷 q との積を求めれば、IGFET において基板電流に相当する擬似的な電流 (ボディ電流) I_{subQ} を算出することができる。このようにして算出された擬似的な電流 I_{subQ} は、基板電流と同様に、IGFET 内部のキャリアの高エネルギー状態を表している物理量である。すなわち、この擬似的な電流 I_{subQ} と、基板電流と電気特性劣化との間に成立する経験的な関係式とに基づき、例えば IGFET のしきい値電圧の変動量 ΔV_{th} を比較検討し、或いは駆動電流の変化量を比較検討することにより、IGFET の電気的特性劣化の経時変化を予測することができる。

【 0 0 5 5 】

なお、上記式 < 1 > は半導体活性領域 2 において電子正孔対生成率 G_{II} の体積分を行っているが、Z 方向である奥行き方向は均一であると仮定した X 方向及び Y 方向についてシミュレーションを行う二次元デバイスシミュレーションを使用して電子正孔対生成率 G_{II} の体積分値を算出することができる。すなわち、二次元デバイスシミュレーションにおいては、半導体活性領域 2 内部の電子正孔対生成率 G_{II} の二次元的な面積分値を算出し、この面積分値と奥行き方向の幅との積を算出することにより、結果的には電子正孔対生成率 G_{II} の体積分値を算出することができる。

【 0 0 5 6 】

このように本発明の第 1 の実施の形態に係る半導体装置の製造方法においては、半導体素子 2 0 において発生するインパクトイオン化による電子正孔対生成率

G_{II} を算出した後、この電子正孔対生成率 G_{II} の体積分値を算出することにより、半導体活性領域2に流れる、基板電流に相当する擬似的な電流 I_{subQ} を求めることができる。すなわち、基板電極やボディ電極を備えてなくて半導体活性領域2に流れる電流を直接検出することができない場合においても、擬似的な電流 I_{subQ} に基づき、半導体素子20の電気的特性の経時変化を高い精度により評価することができる。そして、このような評価結果を半導体装置の製造プロセスに反映させることにより、半導体素子20の動的な電気的特性の経時変化に優れた半導体装置を製造することができる。さらに、半導体装置の製造上の歩留まりを向上することができる。

【0057】

特に、本発明の第1の実施の形態に係る半導体装置の製造方法は、電子正孔対が再結合し易く、ボディ電流が観測しにくく、ボディ電流が半導体活性領域2中のキャリアの高エネルギー状態の指標にならないような、シリコン多結晶若しくはシリコン非晶質により形成された半導体活性領域2を備えた場合の、半導体素子20の電気的特性劣化の経時変化の評価に最適である。

【0058】

[半導体装置の電気特性評価システムの基本構造]

上記本発明の第1の実施の形態に係る半導体装置の製造方法、すなわち半導体素子20の電気的特性劣化の経時変化の評価は、図4に示す電気特性評価システム30により実現することができる。電気特性評価システム30は、半導体素子20の物理モデル量の情報を入力する情報入力ユニット301と、入力された情報に基づき半導体素子20において発生するインパクトイオン化による電子正孔対生成率 G_{II} を算出し、少なくともインパクトイオン化が発生する領域において電子正孔対生成率 G_{II} の体積分値を算出し、少なくとも体積分値に基づき半導体素子20の電気的特性の経時変化を算出する情報処理ユニット302と、算出された電気的特性の経時変化の情報を出力する情報出力ユニット306とを少なくとも備えて構築されている。

【0059】

図4に示す電気特性評価システム30の基本的なハードウェアはパーソナルコ

ンピュータシステムである。つまり、情報入力ユニット 3 0 1 には、例えば入力キーボードを実用的に使用することができる。勿論、情報入力ユニット 3 0 1 には、マウス、ペン等の入力補助デバイスを併用する場合がある。

【 0 0 6 0 】

詳細な構造を示してないが、情報処理ユニット 3 0 2 は、少なくとも図 3 に示す本発明の第 1 の実施の形態に係る製造方法を実現するための（電気的特性劣化の経時変化を評価するための）ソフトウェアがインストールされた内蔵メモリ装置（例えば、ハードディスク、RAM(random access memory)、ROM(read only memory)等）、このようなソフトウェアを実行するための中央演算処理ユニット（CPU）等を少なくとも備えている。図 4 に示す情報処理ユニット 3 0 2 には、フロッピーディスク 3 1 0 のディスクドライブ 3 0 3 及び光ディスク 3 1 1 の光ディスクドライブ 3 0 4 が内蔵され、さらに不揮発性メモリカード（例えばフラッシュ EEPROM カード） 3 1 2 やストレージテープ 3 1 3 のストレージドライブ 3 0 5 が外部メモリ装置として外付けされている。なお、前述の半導体素子 2 0 の電気的特性劣化の経時変化を評価するためのソフトウェアはフロッピーディスク 3 1 0、光ディスク 3 1 1、不揮発性メモリカード 3 1 2 又はストレージテープ 3 1 3 に記憶され、これらに記憶されたソフトウェアが情報処理ユニット 3 0 2 の内蔵メモリ装置にインストールされるようになっている。

【 0 0 6 1 】

情報出力ユニット 3 0 6 には、例えば陰極線管（CRT）ディスプレイ、液晶ディスプレイ等の表示装置を実用的に使用することができる。また、情報出力ユニット 3 0 6 には、例えばプリンタ、プロジェクタ等を備えることができる。

【 0 0 6 2 】

このように構成される本発明の第 1 の実施の形態に係る電気特性評価システム 3 0 においては、本発明の第 1 の実施の形態に係る半導体装置の製造方法、すなわち半導体素子 2 0 の電気的特性劣化の経時変化の評価を、特別な設備を必要とすることなく、容易にかつ安価に実現することができる。

【 0 0 6 3 】

〔変形例〕

本発明の第 1 の実施の形態は、表面に限らず全体が絶縁体基板であるサファイア基板上に半導体活性領域 2 を形成し、この半導体活性領域 2 に半導体素子 2 0 を構成した SOS (silicon on sapphire) 構造の半導体装置、半導体装置の製造方法及び半導体装置の電気特性評価システム 3 0 にも同様に適用できる。

【 0 0 6 4 】

(第 2 の実施の形態)

本発明の第 2 の実施の形態は、電氣的にフローティング状態にあるウエル領域に半導体素子を配設した半導体装置、半導体装置の製造方法及び半導体装置の電氣的特性評価システムを説明するものである。

【 0 0 6 5 】

[半導体装置の基本構造]

本発明の第 2 の実施の形態に係る半導体装置は、図 5 に示すように、pn 接合分離により基板 4 0 に対して電氣的に分離され、かつ電氣的にフローティング状態にある半導体活性領域 4 1 に形成された半導体素子 2 0 を少なくとも備えて構成されている。

【 0 0 6 6 】

半導体活性領域 4 1 は基板 4 0 の主面部に配設されている。本発明の第 2 の実施の形態は半導体素子 2 0 に n チャネル導電型 IGFET を使用しているので、基板 4 0 は n 型シリコン単結晶基板であり、半導体活性領域 4 1 は p 型ウエル領域である。当然のことながら、半導体素子 2 0 に p チャネル導電型 IGFET を使用する場合には、基板 4 0 は p 型シリコン単結晶基板であり、半導体活性領域 4 1 は n 型ウエル領域である。ここで、pn 接合分離により他の領域に対して電氣的に分離された半導体活性領域 4 1 とは、基板 4 0 との間の pn 接合によりこの基板 4 0 に対して電氣的に分離された半導体活性領域 4 1 という意味で使用される。

【 0 0 6 7 】

同図 5 には示していないが、基板 4 0 の裏面又は表面に基板電極を備えていても、半導体活性領域 4 1 にはその電位を印加するような電極は基本的には備えていない。従って、本発明の第 1 の実施の形態に係る半導体装置の半導体活性領域 2 と同様に、半導体活性領域 4 1 に流れる電流 (基板電流に相当するウエル電流

)を観測することはできない。

【0068】

半導体素子20は、本発明の第1の実施の形態に係る半導体装置の半導体素子20と基本的には同様の構造により形成されている。すなわち、半導体素子20は、素子間分離領域43により周囲を取り囲まれた領域内において半導体活性領域41の主面に配設され、チャンネル形成領域として使用される半導体活性領域41と、半導体活性領域41上の絶縁膜（ゲート絶縁膜）4と、絶縁膜4上の制御電極（ゲート電極）5と、半導体活性領域41に配設されたソース領域又はドレイン領域として使用される第1の主電極6Aと、半導体活性領域41に配設されたドレイン領域又はソース領域として使用される第2の主電極6Bとを備えて構成されている。さらに、半導体素子20の第1の主電極6A上には第1の主電極端子7Aが電氣的に接続され、第2の主電極6Bには第2の主電極端子7Bが電氣的に接続されている。

【0069】

なお、素子間分離領域43には、例えばシリコン表面の選択的酸化により形成されたシリコン酸化膜、すなわちLOCOS(local oxidation of silicon)を実用的に使用することができる。

【0070】

[半導体装置の製造方法]

本発明の第2の実施の形態に係る、半導体素子20の電氣的特性劣化の経時変化の評価方法を備えた半導体装置の製造方法は、基本的には本発明の第1の実施の形態に係る半導体装置の製造方法と同様である。すなわち、本発明の第2の実施の形態に係る半導体装置の製造方法は、pn接合分離により基板40に対して電氣的に分離され、かつ電氣的にフローティング状態にある半導体活性領域（例えば、p型ウェル領域）41に半導体素子（例えば、nチャンネル導電型IGFET）20を形成し、この半導体素子20において発生するインパクトイオン化による電子正孔対生成率 G_{II} を算出する工程と、少なくともインパクトイオン化が発生する領域において、電子正孔対生成率 G_{II} の体積分値を算出する工程と、少なくとも体積分値に基づき、半導体素子20の電氣的特性の経時変化を評価する工程

と、この評価結果に基づき、半導体装置を製造する工程とを少なくとも備えている。

【0071】

このように構成される本発明の第2の実施の形態に係る半導体装置の製造方法においては、本発明の第1の実施の形態に係る半導体装置の製造方法により得られる効果と同様の効果を得ることができる。

【0072】

特に、本発明の第2の実施の形態に係る半導体装置の製造方法は、pn接合分離により他の領域に対して電氣的に分離され、かつ電氣的にフローティング状態にある、電流（ウエル電流）を観測しにくい半導体活性領域41を備えた場合の、半導体素子20の電氣的特性劣化の経時変化の評価に最適である。

【0073】

[半導体素子の電気特性評価システムの基本構造]

本発明の第2の実施の形態に係る電気特性評価システム並びにこれ以降の実施の形態に係る電気特性評価システムの基本的構造は図4に示す本発明の第1の実施の形態に係る電気特性評価システム30と同一であるので、その説明は省略する。

【0074】

[変形例]

本発明の第2の実施の形態は、図5に示す半導体活性領域41の底面をpn接合分離とし、素子間分離領域43をトレンチ内部に埋設した絶縁体により形成して半導体活性領域41の側面周囲をトレンチ分離構造とした半導体装置、半導体装置の製造方法及び半導体装置の電気特性評価システムにも同様に適用できる。

【0075】

(第3の実施の形態)

本発明の第3の実施の形態は、本発明の第1又は第2の実施の形態に係る半導体装置の製造方法において、予め作成されたデータに基づき半導体素子の電氣的特性劣化の評価を行う例を説明するものである。

【0076】

〔経験的に求められたデータに基づく評価〕

本発明の第 3 の実施の形態に係る半導体装置の製造方法、すなわち半導体素子 2 0 さらに詳細には n チャネル導電型 IGFET の評価方法は、ストレス条件とこのストレス条件において所定時間経過後のしきい値電圧の変化量との関係を示す経験的に求められたデータを予め作成しておき、n チャネル導電型 IGFET のしきい値電圧の経時変化をデータに基づき評価する工程を少なくとも備えている。

【0 0 7 7】

この評価に使用されるデータは、図 6 に示すように、「表」として作成すると、取り扱い上、便利である。図 6 に示す横軸はドレイン電流 I_d [A] であり、縦軸はドレイン電流 I_d と半導体活性領域 2 又は 4 1 に流れる擬似的な電流（ボディ電流又はウエル電流） I_{subQ} との間の比である。表の中身は、直流ストレスを 1 0 0 0 秒間印加した後の、電気的特性劣化前後のしきい値電圧の変動量 ΔV_{th} （劣化後の V_{th} - 劣化前の V_{th} ）[V] である。経験的に変動量 ΔV_{th} を求めるには、前述の式< 2 >を使用すればよい。

【0 0 7 8】

ここでは、一例のストレス条件を印加した場合の IGFET の変動量 ΔV_{th} を示すデータを示しているが、ストレス条件毎に経験的に求めたデータ、半導体素子 2 0 毎（例えば、チャネル長が異なる IGFET 毎）に経験的に求めたデータ等を収集したデータが実際には作成される。

【0 0 7 9】

このようなデータを予め準備した後、本発明の第 1 の実施の形態に係る半導体装置の製造方法において説明したように、インパクトイオン化による電子正孔対生成率 G_{II} を算出し、電子正孔対生成率 G_{II} の体積分値を算出し、前述の式< 1 >に基づき体積分値と素電荷 q との積を求めて擬似的な電流 I_{subQ} を算出する。データは、本発明の第 1 の実施の形態に係る半導体装置の製造方法のプロセスシミュレーション（1 0 0）の実行前又は後であって、デバイスシミュレーション（1 0 1）の実行前に、図 4 に示す電気特性評価システム 3 0 に情報入力ユニット 3 0 1 から入力される。

【0 0 8 0】

そして、図6に示すデータを参照しつつ、必要に応じて、適宜、データを補間し、擬似的な電流 I_{subQ} とドレイン電流 I_d (直流ストレス) とに基づき、ストレス印加後のIGFETのしきい値電圧の変動量 ΔV_{th} を算出し、IGFETの電気的特性劣化の評価を行うことができる。

【0081】

〔実測値のデータに基づく評価〕

本発明の第3の実施の形態に係る半導体装置の製造方法においては、前述の経験的に求められたデータに代えて、ストレス条件とこのストレス条件において所定時間経過後のしきい値電圧の変化量との関係を示す実測値のデータを予め作成しておき、nチャネル導電型IGFETのしきい値電圧の経時変化をこのデータに基づき評価するようにしてもよい。

【0082】

この評価に使用されるデータは、図6に示すデータと同様に、図7に示すような「表」として作成すると、取り扱い上、便利である。図7に示す横軸はドレイン電流 I_d [A] であり、縦軸はドレイン電流 I_d と半導体活性領域2又は41に流れる擬似的な電流(ボディ電流又はウエル電流) I_{subQ} との間の比である。表の中身は、直流ストレスを1000秒間印加した後の、電気的特性劣化前後のしきい値電圧の変動量 ΔV_{th} (劣化後の V_{th} - 劣化前の V_{th}) [V] であり、実測値である。なお、図7中、破線により囲まれた領域内の変動量 ΔV_{th} は、現状の測定装置の能力上、測定不可能であり、また空白のままでは使用し難いので、経験的關係式として知られている次式<3>により算出した値を便宜的に示したものである。

【0083】

〔数5〕

$$\Delta V_{th} \propto \left(\frac{I_{subQ}}{I_d} \right)^\alpha \quad \text{---} \quad <3>$$

α : モデルパラメータ (例えば、 $\alpha \approx 3.9$)

ここでは、一例のストレス条件を印加した場合のIGFETの変動量 ΔV_{th} を示す

データを示しているが、ストレス条件毎に実測したデータ、半導体素子 20 毎（例えば、チャンネル長が異なる IGFET 毎）のデータ等を収集したデータが実際には作成される。

【 0 0 8 4 】

このようなデータを予め準備した後、本発明の第 1 の実施の形態に係る半導体装置の製造方法において説明したように、半導体素子 20 において発生するインパクトイオン化による電子正孔対生成率 G_{II} を算出し、電子正孔対生成率 G_{II} の体積分値を算出し、前述の式<1>に基づき体積分値と素電荷 q との積を求めて擬似的な電流 I_{subQ} を算出する。そして、図 7 に示すデータを参照しつつ、必要に応じて、適宜、データを補間し、擬似的な電流 I_{subQ} とドレイン電流 I_d （直流ストレス）とに基づき、ストレス印加後の IGFET のしきい値電圧の変動量 ΔV_{th} を算出し、IGFET の電気的特性劣化の評価を行うことができる。

【 0 0 8 5 】

このように構成される本発明の第 3 の実施の形態に係る半導体装置の製造方法においては、本発明の第 1 の実施の形態に係る半導体装置の製造方法により得られる効果と同様の効果を得ることができる。

【 0 0 8 6 】

特に、本発明の第 3 の実施の形態に係る半導体装置の製造方法においては、経験的に求められたデータ又は実測値に基づくデータを参照しつつ、半導体素子 20 の電気的特性劣化の経時変化の評価が行なわれるので、評価精度を向上することができる。

【 0 0 8 7 】

（第 4 の実施の形態）

本発明の第 4 の実施の形態は、本発明の第 1 又は第 2 の実施の形態に係る半導体装置の製造方法において、動的なストレスを考慮に入れた、半導体素子の電気的特性劣化の経時変化の評価を行う例を説明するものである。

【 0 0 8 8 】

本発明の第 4 の実施の形態に係る半導体装置の製造方法は、半導体活性領域 2 又は 41 に半導体素子 20 を形成し、この半導体素子 20 において発生するイン

パクトイオン化による電子正孔対生成率 G_{II} を算出する工程と、少なくともインパクトイオン化が発生する領域において、電子正孔対生成率 G_{II} の体積分値を算出する工程と、体積分値を含む物理量の時間積分値を算出する工程と、少なくとも時間積分値に基づき、半導体素子 2 0 の電気的特性の経時変化を評価する工程と、この評価結果に基づき半導体装置を製造する工程とを少なくとも備えている。

【0089】

半導体素子 2 0、具体的には n チャネル導電型 IGFET に例えば直流ストレスを t_{stress} 時間印加した場合、しきい値電圧の変化量 ΔV_{th} は次式<4>に示すように表すことができる。

【0090】

【数 6】

$$\Delta V_{th} = A \left(\frac{I_{subQ}}{I_d} \right)^\alpha I_d^\beta t_{stress} \quad \text{---} \quad <4>$$

この上記式<4>を用いて、n チャネル導電型 IGFET に時間変化を伴うストレスを t_{stress} 時間印加した場合、しきい値電圧の変化量 ΔV_{th} は次式<5>に示すように表すことができる。

【0091】

【数 7】

$$\Delta V_{th} = A \left[\int_0^{stress} \left(\frac{q \int G_{II}(t, V)}{I_d(t)} \right)^\alpha I_d^\beta(t) dt \right] \quad \text{---} \quad <5>$$

すなわち、動的なストレスを考慮に入れた n チャネル導電型 IGFET のしきい値電圧の変化量 ΔV_{th} を予測することが可能となる。

【0092】

このように構成される本発明の第 4 の実施の形態に係る半導体装置の製造方法においては、本発明の第 1 又は第 2 の実施の形態に係る半導体装置の製造方法の体積分値を含む物理量の時間積分値を算出するようにしたので、半導体素子 2 0

の動的なストレスを考慮した電気的特性の経時変化を高い精度により評価することができる。

【 0 0 9 3 】

(第 5 の実施の形態)

本発明の第 5 の実施の形態は、本発明の第 1 又は第 2 の実施の形態に係る半導体装置の製造方法において、動作温度を考慮に入れた、半導体素子の電気的特性劣化の経時変化の評価を行う例を説明するものである。

【 0 0 9 4 】

本発明の第 5 の実施の形態に係る半導体装置の製造方法は、本発明の第 1 又は第 2 の実施の形態に係る半導体装置の製造方法の半導体素子 2 0 の電気的特性の経時変化を評価する工程に代えて、動作温度中のストレス条件とこのストレス条件において所定時間経過後のしきい値電圧の変化量 ΔV_{th} との関係を示すデータを予め作成しておき、半導体素子 2 0 の動作中のしきい値電圧の経時変化をデータに基づき評価する工程を備えている。

【 0 0 9 5 】

特に、本発明の第 1 の実施の形態に係る SOI 構造を備えた半導体装置においては、半導体素子 2 0 すなわち n チャネル導電型 IGFET の動作中の素子温度は环境温度（例えば、測定温度）に比べて上昇している。素子温度が変化するとドレイン電流 I_d 等に変化を生じるので、一般的には電気的特性劣化は温度依存性を持っている。つまり、本発明の第 3 の実施の形態に係る半導体装置の製造方法において説明した、n チャネル導電型 IGFET の電気的特性劣化の経時変化の実測値を用いて動作中の電気的特性劣化の経時変化の評価を行う場合には、動作中の素子温度のストレス（動作温度中のストレス）を考慮に入れたデータの作成が必要になる。

【 0 0 9 6 】

動作温度を考慮に入れた、n チャネル導電型 IGFET の電気的特性劣化の経時変化の具体的な評価方法を、図 8 を用いて説明する。

【 0 0 9 7 】

(1) まず最初に、常温環境下例えば 2 5 °C の温度下において、n チャネル導電

型IGFETに通常の動作条件と同一のバイアスを印加する（1 1 0）。

【0 0 9 8】

（2）このような動作条件下において動作する n チャンネル導電型IGFETの動作温度（素子温度） T を測定する（1 1 1）。

【0 0 9 9】

（3）動作温度 T において、半導体活性領域 2 又は 4 1 に流れる擬似的な電流 I_{subQ} 、ドレイン電流 I_d 、しきい値電圧の変動量 ΔV_{th} の物理量を少なくとも測定する（1 1 2）。ここで、本発明の第 3 の実施の形態に係る半導体装置の製造方法と同様に、半導体素子 2 0 において発生するインパクトイオン化による電子正孔対生成率 G_{II} を算出し、この電子正孔対生成率 G_{II} の体積分値を算出し、上記式< 1 >に示すように体積分値と素電荷 q との積から擬似的な電流 I_{subQ} を算出することができる。また、上記式< 2 >から変動量 ΔV_{th} を算出することができる。さらに、測定装置の能力上、測定不可能な物理量は上記式< 3 >に基づき算出することができる。

【0 1 0 0】

（4）本発明の第 3 の実施の形態に係る半導体装置の製造方法において説明した実測値のデータの作成手順と同様に、測定された物理量に基づき、動作温度 T における、擬似的な電流 I_{subQ} 、ドレイン電流 I_d 、変動量 ΔV_{th} のそれぞれの関係を示すデータを図 9 に示すように作成する（1 1 3）。図 9 に示す横軸はドレイン電流 I_d [A] であり、縦軸はドレイン電流 I_d と半導体活性領域 2 又は 4 1 に流れる擬似的な電流（ボディ電流又はウエル電流） I_{subQ} との間の比である。表の中身は、動作温度 T を 7 0 °C として加熱した状態において、直流ストレスを 1 0 0 0 秒間印加した後の、電気的特性劣化前後のしきい値電圧の変動量 ΔV_{th} [V] であり、実測値である。

【0 1 0 1】

（5）そして、この作成された実測値のデータを参照しつつ、必要に応じて、適宜補間し、常温環境下におかれた n チャンネル導電型IGFETの動作温度 T における電気的特性劣化の経時変化の評価を行う（1 1 4）。

【0 1 0 2】

このように構成される本発明の第 5 の実施の形態に係る半導体装置の製造方法においては、半導体素子 2 0 の動作温度 T を考慮に入れた実測値に基づくデータを予め作成しておき、このデータに基づき半導体素子 2 0 の電気的特性の経時変化を評価するようにしたので、高い精度の評価を行うことができる。

【 0 1 0 3 】

(第 6 の実施の形態)

本発明の第 6 の実施の形態は、本発明の第 1 又は第 2 の実施の形態に係る半導体装置の製造方法をさらに具現化し、半導体素子の電気的特性劣化の経時変化が初期設計段階において製品仕様限界まで近づけることができる半導体装置の製造方法を説明するものである。

【 0 1 0 4 】

本発明の第 6 の実施の形態に係る半導体装置の製造方法を、図 1 0 を用いて説明する。

【 0 1 0 5 】

(1) まず最初に、半導体活性領域 2 又は 4 1 に半導体素子 2 0 を形成する、すなわち n チャネル導電型 IGFET を形成する初期設計を行う (1 2 0)。ここでは、半導体活性領域 2 又は 4 1 の不純物密度、 n チャネル導電型 IGFET の第 1 の主電極 6 A 及び第 2 の主電極 6 B のイオン注入条件、イオン注入された不純物の拡散条件、LDD 構造においては第 1 の主電極 6 A 及び第 2 の主電極 6 B の LDD 長 (低不純物密度領域の長さ) 等の条件が決定され、 n チャネル導電型 IGFET が設計される。

【 0 1 0 6 】

(2) この設計された n チャネル導電型 IGFET 又はこの n チャネル導電型 IGFET により構築された回路において、寿命が予測される (1 2 1)。この寿命の予測とは、前述の本発明の第 1 乃至第 5 の実施の形態のいずれかの半導体装置の製造方法を用いて、 n チャネル導電型 IGFET において発生するインパクトイオン化による電子正孔対生成率 G_{II} を算出し、少なくともインパクトイオン化が発生する領域において電子正孔対生成率 G_{II} の体積分値を算出し、少なくとも体積分値に基づき IGFET の電気的特性の経時変化特にしきい値電圧の変動量 ΔV_{th} を評価し、

このIGFETの寿命を予測することである。

【0107】

(3) ここで、nチャネル導電型IGFET又は回路が、半導体装置の製品仕様に適合するか否かが判定される(122)。例えば、前例のように、10年の使用によりnチャネル導電型IGFETのしきい値電圧の変動量 ΔV_{th} が50mVを越えるか越えないかの判定がなされる。

【0108】

(4) 製品仕様に適合すると判定された場合には次段の製造プロセスに進み、製品仕様に適合した、すなわち電気的特性劣化の経時変化の少ない優れた半導体装置を製造することができる。逆に、製品仕様に適合しないと判定された場合には、製品仕様に適合するように、再設計が実施される(123)。

【0109】

このように構成される本発明の第6の実施の形態に係る半導体装置の製造方法においては、半導体素子20の初期設計後に、本発明の第1乃至第5の実施の形態のいずれかに係る半導体装置の製造方法による半導体素子20の電気的特性の経時変化を評価し、この評価結果に基づき、半導体素子20の再設計を行うようにしたので、初期設計の段階において製品仕様限界に近い電気的特性の経時変化に優れた半導体装置を設計し、かつ製造することができる。

【0110】

(第7の実施の形態)

本発明の第7の実施の形態は、第1乃至第6の実施の形態に係る半導体装置の製造方法、すなわち半導体素子の電気的特性劣化の経時変化の評価を別の物理モデル量で行う例を説明するものである。

【0111】

本発明の第7の実施の形態に係る半導体装置の製造方法を、図11を用いて説明する。

【0112】

(1) まず最初に、本発明の第6の実施の形態に係る半導体装置の製造方法と同様に、半導体活性領域2又は41に半導体素子20を形成する、すなわちnチャ

ネル導電型IGFETを形成する初期設計を行う（130）。

【0113】

（2）デバイスシミュレーションにより、nチャネル導電型IGFETにおいて、ストレス状態のバイアスを印加し、少なくともインパクトイオン化による電子正孔対生成率 G_{II} を算出する（131）。

【0114】

（2）少なくともインパクトイオン化が発生する領域において、電子正孔対生成率 G_{II} の体積分値を算出する（132）。

【0115】

（3）少なくとも体積分値に基づき、nチャネル導電型IGFETのストレス印加後の物理モデル量を算出する（133）。ここで、物理モデル量として、nチャネル導電型IGFETのストレス印加後のチャネルキャリア移動度の変化量 $\Delta\mu$ が算出される。nチャネル導電型IGFETの場合、キャリアは電子である。変化量 $\Delta\mu$ は、ストレス印加前のキャリア移動度を μ_0 、ストレス印加後のキャリア移動度を μ_1 とすると、次式<6>及び<7>により求めることができる。

【0116】

【数8】

$$\Delta\mu = \mu_1 - \mu_0 \quad \text{--- <6>}$$

【数9】

$$\frac{\Delta\mu}{\mu_0} = A \left(\frac{q \int G_{II} dv}{Id} \right)^\alpha Id^\beta \quad \text{--- <7>}$$

（4）算出された変化量 $\Delta\mu$ に基づき、nチャネル導電型IGFETのストレス印加後の電気的特性の経時変化を評価する（134）。

【0117】

（5）なお、この後、必要に応じて、本発明の第6の実施の形態に係る半導体装置の製造方法と同様に、評価結果に基づき、製品仕様限界の判定がなされる（135）。ここで、製品仕様限界に適合しないと判定されたnチャネル導電型IGFET、例えばチャネルキャリア移動度の変化量 $\Delta\mu$ が5%を越えるnチャネル導電

型IGFETは再設計される（136）。製品仕様限界に適合すると判定されたnチャネル導電型IGFETは次段の製造プロセスに進み、製品仕様に適合した、すなわち電気的特性劣化の経時変化の少ない優れた半導体装置を製造することができる。

【0118】

なお、本発明の第7の実施の形態は、物理モデル量にnチャネル導電型IGFETのチャネルキャリア移動度を使用した、IGFETの絶縁膜（ゲート絶縁膜）4の界面における半導体活性領域2又は41の界面準位濃度、絶縁膜4中に捕獲された電荷濃度等の少なくとも1つの物理モデル量を単独で、又は2つ以上の物理モデル量を組み合わせて、IGFETの電気的特性劣化の経時変化の評価を行うようにしてもよい。

【0119】

このように構成される本発明の第7の実施の形態に係る半導体装置の製造方法においては、半導体素子20の電気的特性の経時変化と物理モデル量との間の相関を高い精度により再現可能とし、高い精度のデバイスシミュレーションを実現することができるようにしたので、初期設計の段階において製品仕様限界に近い電気的特性の経時変化に優れた半導体装置を設計し、かつ製造することができる。

【0120】

（第8の実施の形態）

本発明の第8の実施の形態は、本発明の第1の実施の形態に係るSOI構造の半導体装置及びその製造方法において、電気的特性劣化の経時変化の評価を行う半導体素子と同一構造の特性検出用半導体素子を別途製作し、この特性検出用半導体素子から得られる実測値のデータに基づき、半導体素子の電気的特性劣化の経時変化を評価するようにした例を説明するものである。

【0121】

〔半導体装置の基本的構造〕

本発明の第8の実施の形態に係る半導体装置は、図12及び図13に示すように、少なくとも表面に絶縁層11を有する基板1と、基板1の絶縁層11上の第

1の半導体活性領域2と、第1の半導体活性領域2に形成され、ボディコンタクト電極7Cを備えたボディ電流検出用の第1の半導体素子21と、基板1の絶縁層11上の第2の半導体活性領域2と、第2の半導体活性領域2に形成され、ボディコンタクト電極7Cを備えない第2の半導体素子20とを備えて構築されている。

【0122】

基板1は、本発明の第1の実施の形態に係る半導体装置の基板1と同様に、支持基板10とこの支持基板10上の絶縁層11とを備えて構成されている。第2の半導体素子20は、本発明の第1の実施の形態に係る半導体装置の半導体素子20と同一構造であり、例えばnチャネル導電型IGFETである。さらに、この第2の半導体素子20は実際に集積回路を構築するようになっている。

【0123】

第1の半導体素子21は、基本的には第2の半導体素子20と同一構造、すなわちボディ領域として使用される第1の半導体活性領域2と、第1の半導体活性領域2上の絶縁膜（ゲート絶縁膜）4と、絶縁膜4上の制御電極（ゲート電極）5と、第1の半導体活性領域2に配設されたソース領域又はドレイン領域として使用される第1の主電極6Aと、半導体活性領域2に配設されたドレイン領域又はソース領域として使用される第2の主電極6Bとを備えて構成されている。さらに、この第1の半導体素子21は、第1の半導体活性領域2に流れる電流つまりボディ電流を検出するためのボディコンタクト領域6Cを備え、このボディコンタクト領域6Cにボディコンタクト電極7Cが電氣的に接続されている。ボディコンタクト領域6Cは、nチャネル導電型IGFETの場合、ボディ領域となる第1の半導体活性領域2と同一導電型で形成され、かつ第1の半導体活性領域2よりも不純物密度の高いp型半導体領域により形成されている。半導体装置に相補型IGFETが搭載される場合、pチャネル導電型IGFETの主電極と同一製造工程によりボディコンタクト領域6Cを形成することができるので、特に製造工程数を増加することなく、ボディコンタクト領域6Cを形成することができる。

【0124】

第1の半導体素子21は、好ましくは製造プロセス条件が同等となる第2の半

導体素子 2 0 と同一基板（同一半導体ウェハ）上に形成され、半導体チップ形成領域内（半導体装置形成領域内）、半導体チップ形成領域間のスクライプ領域内、テスト用半導体チップ形成領域（TEG）内のいずれかに配設されるようになっている。また、半導体ウェハ自体をテスト用半導体ウェハとする場合には、このテスト用半導体ウェハに第 1 の半導体素子 2 1 が配設される。

【 0 1 2 5 】

このように構成される本発明の本発明の第 8 の実施の形態に係る半導体装置においては、後述する半導体装置の製造方法を実現することができ、第 2 の半導体素子 2 0 の電気的特性の経時変化を高い精度で評価し、この評価結果に基づき第 2 の半導体素子 2 0 の再設計することができるので、初期設計の段階において製品仕様限界に近い電気的特性の経時変化に優れた半導体装置を実現することができる。

【 0 1 2 6 】

〔半導体装置の製造方法〕

本発明の第 8 の実施の形態に係る半導体装置の製造方法を、図 1 4 を用いて説明する。

【 0 1 2 7 】

(1) まず最初に、少なくとも表面に絶縁層 1 1 を有する基板 1 の絶縁層 1 1 上の第 1 の半導体活性領域 2 にボディコンタクト電極 7 C を備えたボディ電流検出用の第 1 の半導体素子 2 1 すなわち n チャネル導電型 IGFET を形成し、少なくとも第 1 の半導体活性領域 2 のボディ電流 I_{body} 、ドレイン電流 I_d 及びしきい値電圧の変化量 ΔV_{th} を測定する (1 4 0)。ボディ電流 I_{body} の測定はボディコンタクト電極 7 C により行われる。

【 0 1 2 8 】

(2) この n チャネル導電型 IGFET により得られたボディ電流 I_{body} 、ドレイン電流 I_d 及びしきい値電圧の変化量 ΔV_{th} の関係を示すデータを作成する (1 4 1)。

【 0 1 2 9 】

(3) 絶縁層 1 1 上の第 2 の半導体活性領域 2 にボディコンタクト電極 7 C を備

えない第2の半導体素子20すなわちnチャネル導電型IGFETを形成し、このnチャネル導電型IGFETにおいて発生するインパクトイオン化による電子正孔対生成率 G_{II} を算出する(142)。

【0130】

(4) 引き続き、nチャネル導電型IGFET(第2の半導体素子20)の少なくともインパクトイオン化が発生する領域において、電子正孔対生成率 G_{II} の体積分値を算出する(143)。

【0131】

(5) そして、この算出された体積分値及びデータの少なくともボディ電流値 I_{body} に基づき、データを参照しつつ、第2の半導体素子20であるnチャネル導電型IGFETのしきい値電圧の変化量 ΔV_{th} を算出する(144)。

【0132】

このように構成される本発明の第8の実施の形態に係る半導体装置の製造方法においては、ボディコンタクト電極7Cを備えた第1の半導体素子21により作成されたデータの少なくともボディ電流値 I_{body} に基づき、ボディコンタクト電極7Cを備えていない第2の半導体素子20の電気的特性の経時変化量すなわちしきい値電圧の変化量 ΔV_{th} を容易に算出することができる。

【0133】

(第9の実施の形態)

本発明の第9の実施の形態は、半導体装置の評価ビジネス方法を説明するものである。

【0134】

本発明の第9の実施の形態に係る半導体装置の評価ビジネス方法は、本発明の第1乃至第8の実施の形態に係る半導体装置の製造方法により半導体素子や回路の電気的特性劣化の経時変化を評価する工程と、この評価結果を、半導体装置の使用を計画する顧客や既に半導体装置を使用している顧客に対してビジネスとして知らせる工程とを少なくとも備えている。

【0135】

このような本発明の第9の実施の形態に係る半導体装置の評価ビジネス方法に

においては、半導体装置の電気的特性劣化の経時変化を顧客は容易に知ることができ、顧客は半導体装置の信頼性を確認することができ、また顧客における新たな半導体装置の開発に評価結果を利用することができる。

【 0 1 3 6 】

(その他の実施の形態)

本発明は上記複数の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【 0 1 3 7 】

例えば、本発明の第 1 の実施の形態等においては、半導体素子 2 0 として n チヤネル導電型 IGFET を使用しているが、本発明は、p チヤネル導電型 IGFET を使用してもよい。また、本発明は、これら IGFET により構築された回路の電気的特性劣化の経時変化の評価に適用してもよい。

【 0 1 3 8 】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 0 1 3 9 】

【発明の効果】

本発明によれば、半導体素子の動的な電気的特性劣化の経時変化を高い精度により正確に評価することができる半導体装置の製造方法を提供することができる。

【 0 1 4 0 】

さらに、本発明は、基板電流が半導体活性領域中のキャリアの高エネルギー状態の指標とならない場合、基板電極を備えてない場合等においても、半導体素子の動的な電気的特性劣化の経時変化を高い精度により正確に評価することができる半導体装置の製造方法を提供できる。

【 0 1 4 1 】

さらに、本発明は、製造上の歩留まりを向上することができる半導体装置の製

造方法を提供できる。

【 0 1 4 2 】

さらに、本発明は、半導体素子の動的な電気的特性劣化の経時変化を高い精度により正確に評価することができる半導体装置又は電気特性評価システムを提供できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る半導体装置の断面構造図（図 2 に示す F 1 - F 1 切断線で切った断面図）である。

【図 2】

図 1 に示す半導体装置の平面図である。

【図 3】

本発明の第 1 の実施の形態に係る半導体装置の製造方法のフローチャートである。

【図 4】

本発明の第 1 の実施の形態に係る半導体装置の電気特性評価システムの構成図である。

【図 5】

本発明の第 2 の実施の形態に係る半導体装置の断面構造図である。

【図 6】

本発明の第 3 の実施の形態に係る半導体装置の製造方法を実現するためのデータを示す図である。

【図 7】

本発明の第 3 の実施の形態に係る半導体装置の製造方法を実現するための他のデータを示す図である。

【図 8】

本発明の第 5 の実施の形態に係る半導体装置の製造方法のフローチャートである。

【図 9】

本発明の第 5 の実施の形態に係る半導体装置の製造方法を実現するためのデータを示す図である。

【図 1 0】

本発明の第 6 の実施の形態に係る半導体装置の製造方法のフローチャートである。

【図 1 1】

本発明の第 7 の実施の形態に係る半導体装置の製造方法のフローチャートである。

【図 1 2】

本発明の第 8 の実施の形態に係る半導体装置の平面図である。

【図 1 3】

図 1 2 に示す半導体装置の F 1 3 - F 1 3 切断線で切った断面構造図である。

【図 1 4】

本発明の第 8 の実施の形態に係る半導体装置の製造方法のフローチャートである。

【符号の説明】

- 1 基板
- 1 0 支持基板
- 1 1 絶縁層
- 2 半導体活性領域
- 3 素子間分離領域
- 4 絶縁膜
- 5 制御電極（ゲート電極）
- 6 A, 6 B 主電極（ソース領域又はドレイン領域）
- 6 C ボディコンタクト領域
- 7 A, 7 B 主電極端子
- 7 C ボディコンタクト電極
- 1 2 支持基板電極
- 2 0 半導体素子（IGFET）又は第 1 の半導体素子

2 1 第 2 の半導体素子 (IGFET)

3 0 電気特性評価システム

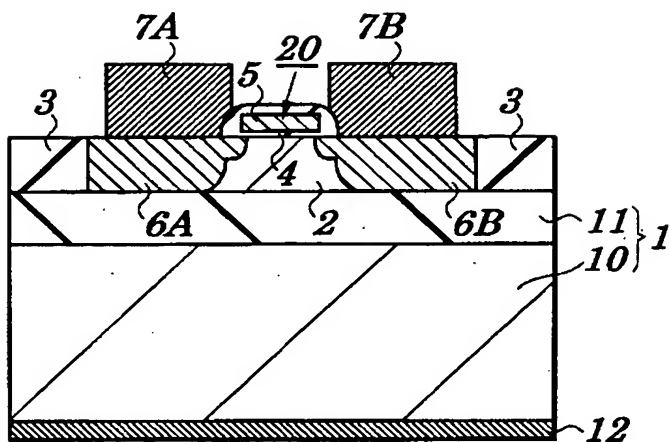
3 0 1 情報入力ユニット

3 0 2 情報処理ユニット

3 0 6 情報出力ユニット

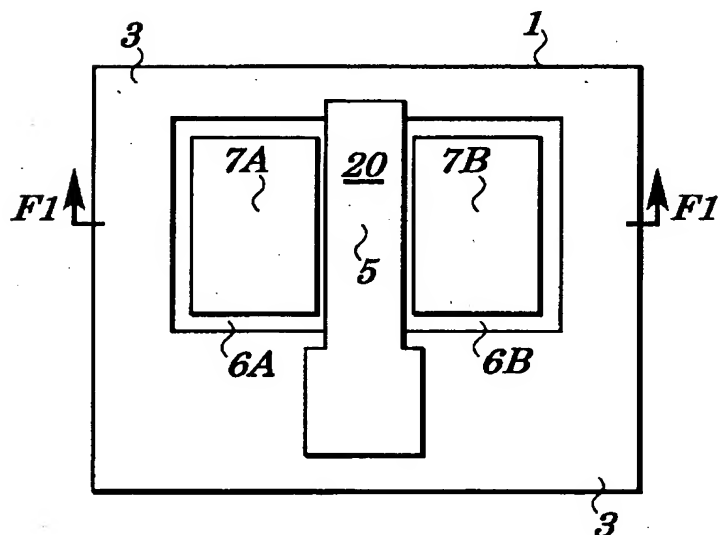
【書類名】 図面

【図 1】

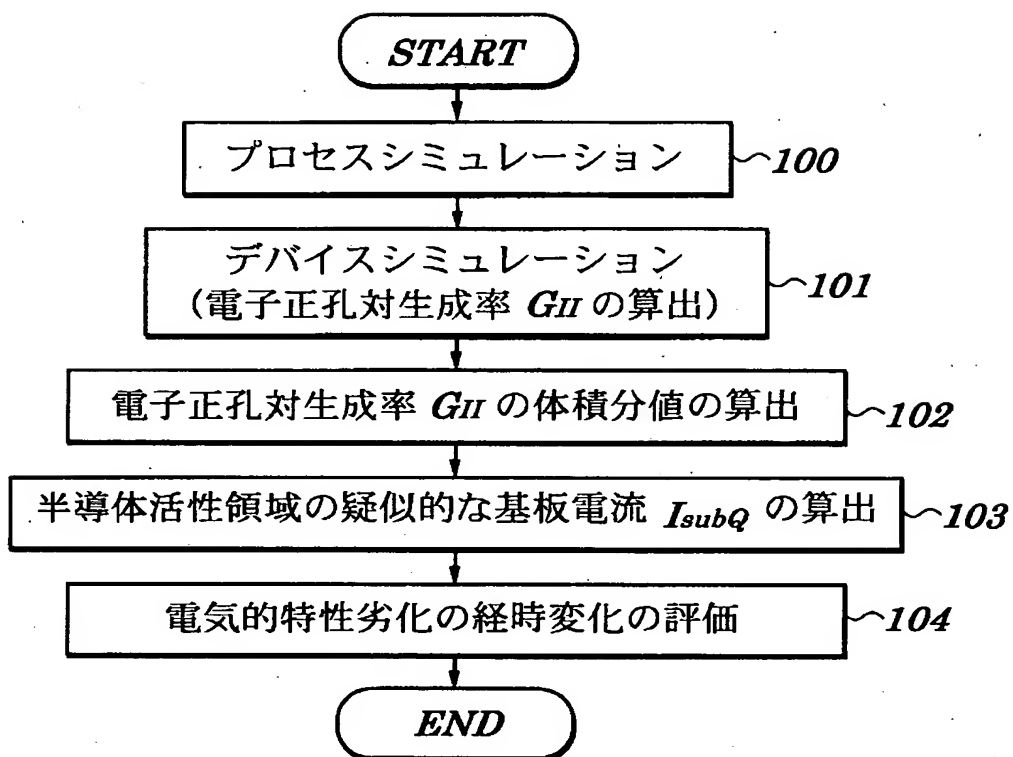


- | | |
|-----------|-------------|
| 1 基板 | 4 絶縁膜 |
| 10 支持基板 | 5 制御電極 |
| 11 絶縁層 | 6A 第1の主電極 |
| 2 半導体活性領域 | 6B 第2の主電極 |
| 20 半導体素子 | 7A 第1の主電極端子 |
| 3 素子間分離領域 | 7B 第2の主電極端子 |

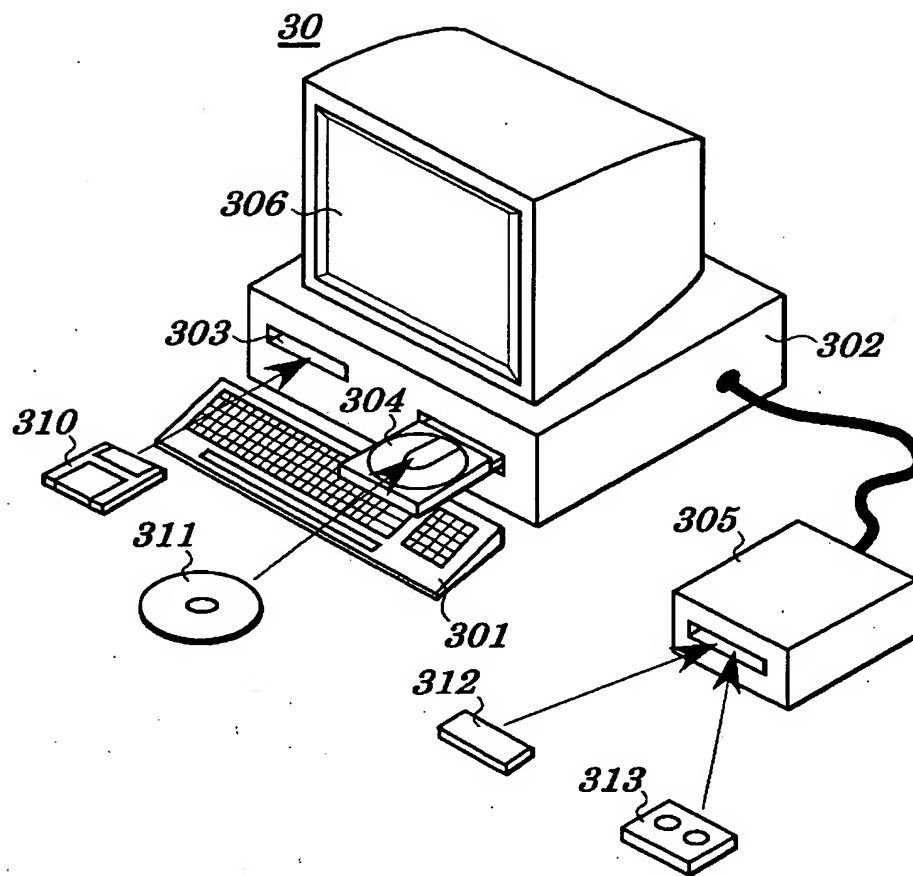
【図 2】



【図 3】

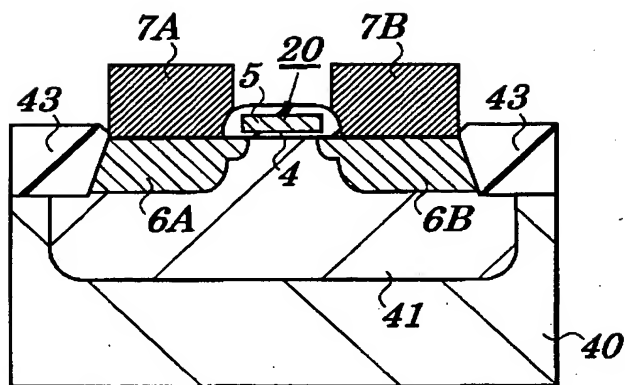


【図 4】



- 30 電気特性評価システム
- 301 情報入力ユニット
- 302 情報処理ユニット
- 306 情報出力ユニット

【図 5】



- | | |
|------------|-------------|
| 40 基板 | 6A 第1の主電極 |
| 41 半導体活性領域 | 6B 第2の主電極 |
| 20 半導体素子 | 7A 第1の主電極端子 |
| 43 素子間分離領域 | 7B 第2の主電極端子 |
| 4 絶縁膜 | |
| 5 制御電極 | |

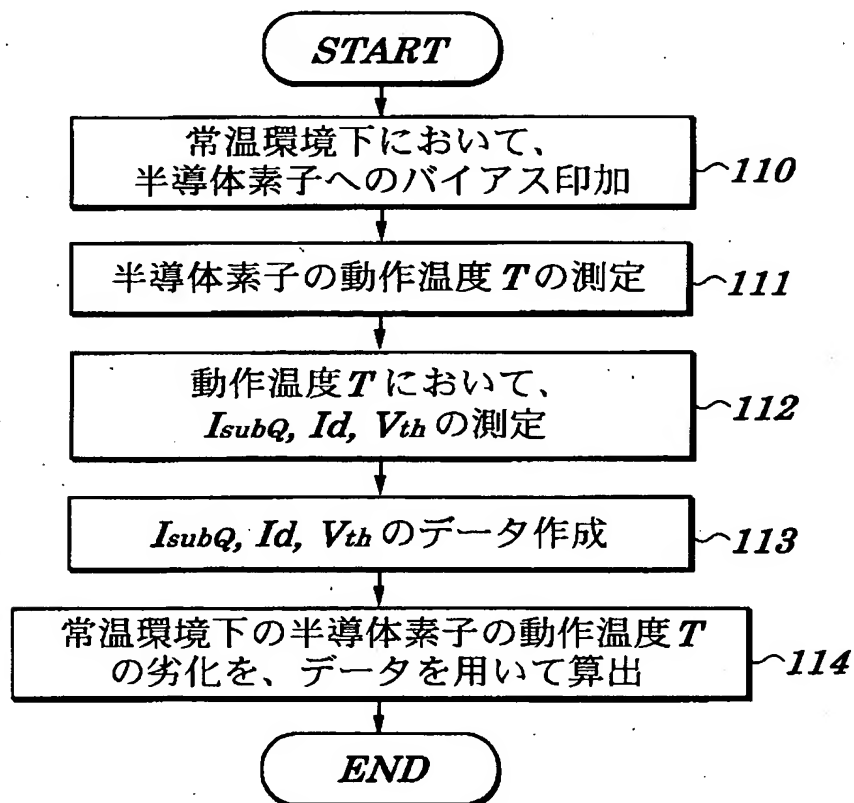
【図 6】

$I_d[A]$ I_{subQ} / I_d 比	0.0001	0.0002	0.0005	0.001	0.002
0.01	5.0E-08	1.3E-07	4.8E-07	1.3E-06	3.3E-06
0.02	7.5E-07	2.0E-06	7.1E-06	1.9E-05	5.0E-05
0.05	2.7E-05	7.0E-05	2.5E-04	6.7E-04	1.8E-03
0.1	4.0E-04	1.1E-03	3.8E-03	1.0E-02	2.6E-02
0.2	5.9E-03	1.6E-02	5.7E-02	1.5E-01	3.9E-01

【図 7】

I_{subQ} / I_d 比	$I_d[A]$ 0.0001	0.0002	0.0005	0.001	0.002
0.01	4.7E-08	1.3E-07	4.9E-07	1.2E-06	3.6E-06
0.02	7.0E-07	1.9E-06	7.3E-06	1.9E-05	5.3E-05
0.05	2.5E-05	6.7E-05	2.6E-04	6.6E-04	1.9E-03
0.1	3.7E-04	1.0E-03	4.0E-03	1.1E-02	2.5E-02
0.2	5.8E-03	1.5E-02	5.9E-02	1.4E-01	4.0E-01

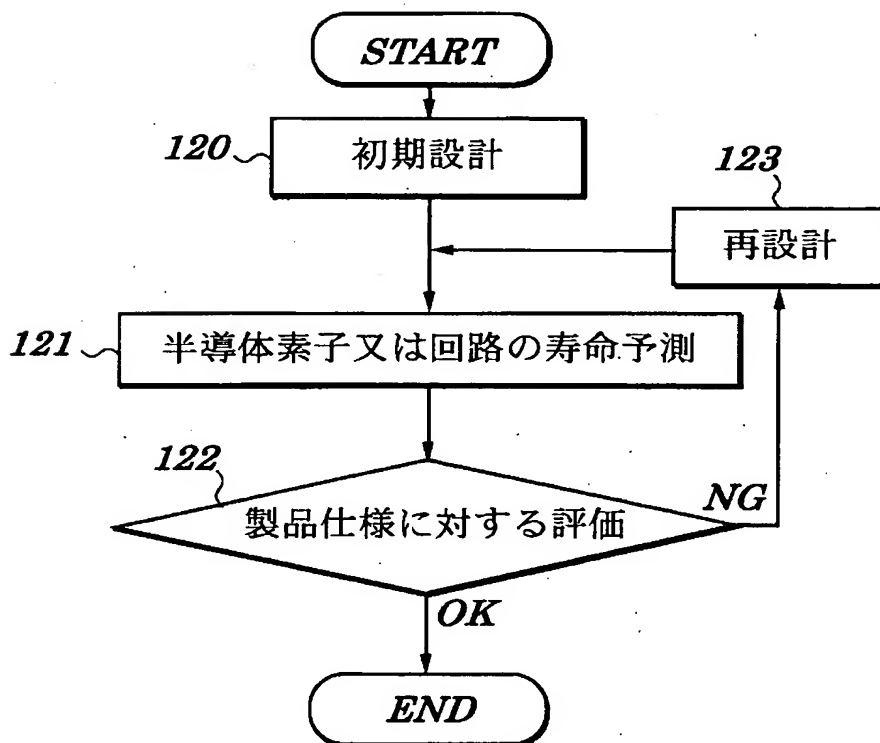
【図 8】



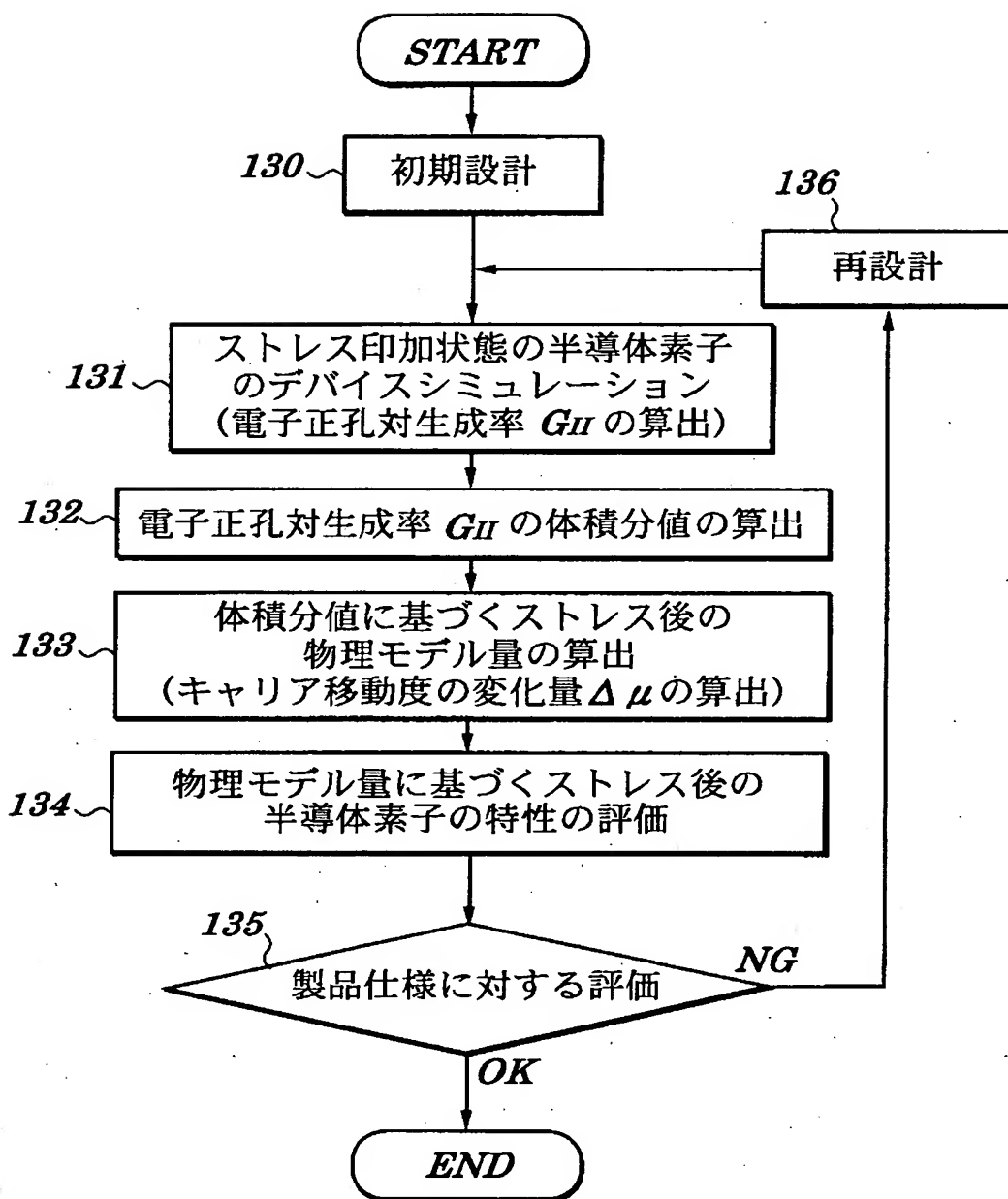
【図 9】

I_{subQ} / I_d 比 \ $I_d[A]$	0.0001	0.0002	0.0005	0.001	0.002
0.01	8.4E-08	2.3E-07	8.8E-07	2.3E-06	5.5E-06
0.02	1.3E-06	3.4E-06	1.3E-05	3.4E-05	8.1E-05
0.05	4.5E-05	1.2E-04	4.7E-04	1.2E-03	2.9E-03
0.1	6.7E-04	1.7E-03	6.0E-03	1.6E-02	4.1E-02
0.2	9.8E-03	2.6E-02	9.0E-02	2.5E-01	6.6E-01

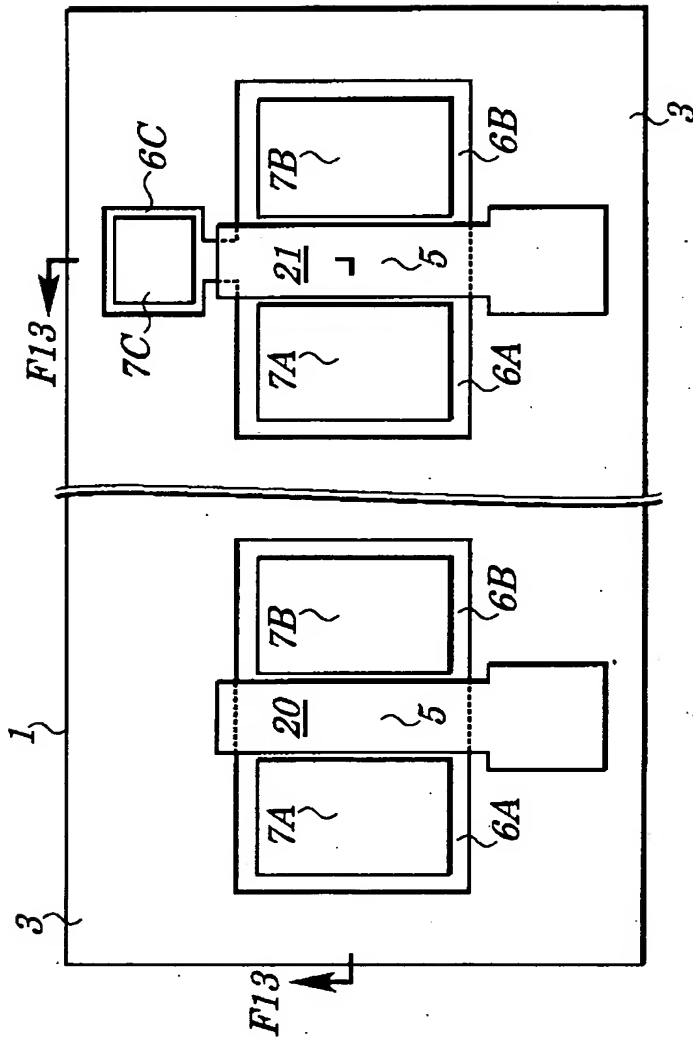
【図 1 0】



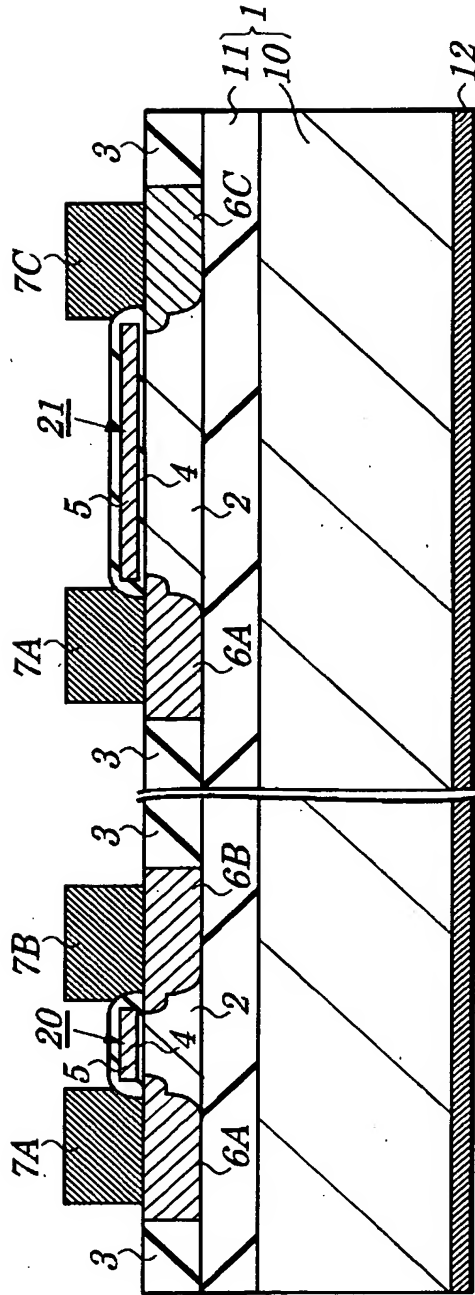
【図 11】



【図 12】

[illegible]

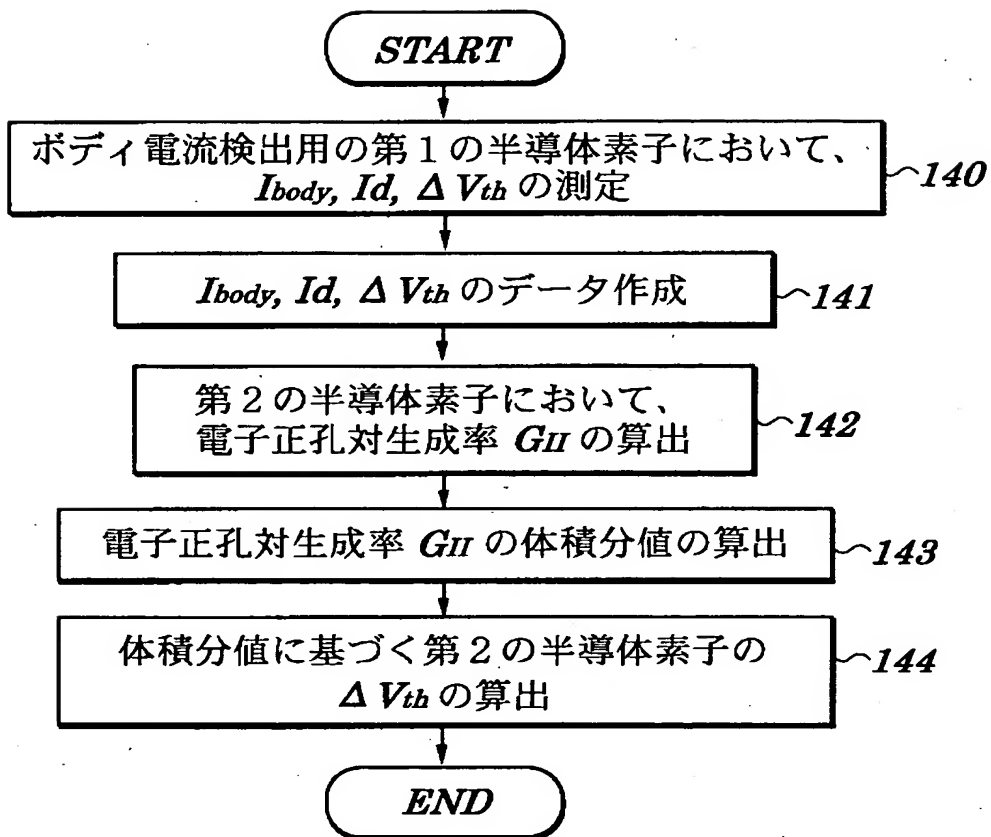
【図 13】



10 支持基板
11 絶縁層
2 半導体活性領域
3 素子間分離領域
4 絶縁膜

6C ボディコンタクト領域
7C ボディコンタクト電極

【図 14】



【書類名】 要約書

【要約】

【課題】 半導体素子の動的な電気的特性劣化の経時変化を高い精度により正確に評価することができる半導体装置の製造方法を提供する。

【解決手段】 半導体装置の製造方法は、他の領域に対して電気的に分離された半導体活性領域の半導体素子において、インパクトイオン化による電子正孔対生成率を算出する工程と、少なくともインパクトイオン化が発生する領域において、電子正孔対生成率の体積分値を算出する工程と、少なくとも体積分値に基づき、半導体素子の電気的特性の経時変化を評価する工程とを備えている。

【選択図】 図 3

出願人履歴情報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝